



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chih-Chin CHANG,  
et al. ) Group: Not yet assigned  
Serial No.: 10/630,196 ) ) Examiner: Not yet assigned  
Filed: July 29, 2003 ) ) Our Ref: B-5175 621088-1  
For: "METHOD OF FORMING A CMOS ) )  
THIN FILM TRANSISTOR DEVICE" ) Date: September 5, 2003

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

[X] Applicants hereby make a right of priority claim under 35  
U.S.C. 119 for the benefit of the filing date(s) of the  
following corresponding foreign application(s):

<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan, R.O.C.	28 May 2003	92114365

[ ] A certified copy of each of the above-noted patent  
applications was filed with the Parent Application  
No. \_\_\_\_\_.

[X] To support applicant's claim, certified copies of the above-  
identified foreign patent applications are enclosed herewith.

[ ] The priority document will be forwarded to the Patent Office  
when required or prior to issuance.

I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first-class mail in an envelope addressed  
to the "Commissioner for Patents, P.O.  
Box 1450, Alexandria, VA 22313-1450",  
on September 5, 2003 by Ericca Long

Ericca L.

Respectfully submitted,

Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202

USSN 10/630, 196



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 05 月 28 日  
Application Date

申 請 案 號：092114365  
Application No.

申 請 人：友達光電股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 8 月 8 日  
Issue Date

發文字號：09220800690  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	互補式金氧半導體薄膜電晶體元件之製造方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 張志清 2. 吳智宏
	姓名 (英文)	1. Chih-Chin Chang 2. Chih-Hung Wu
	國籍 (中英文)	1. 中華民國 ROC 2. 中華民國 ROC
	住居所 (中 文)	1. 新竹市明湖路1200巷88弄28號 2. 台北縣新莊市自重街27之3號4樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



0632-86897WE(n1)-AI191168-Jacky.psd

四、中文發明摘要 (發明名稱：互補式金氧半導體薄膜電晶體元件之製造方法)

一種互補式金氧半導體薄膜電晶體元件之製造方法，其特徵在於：進行一乾蝕刻程序，部分蝕刻一光阻層與一金屬層，而形成具有對稱錐狀之一閘極與一剩餘之該第一光阻層，並且露出位在輕摻雜區之一介電層，其中該閘極的底部寬度小於該金屬層的底部寬度，且該錐狀係由下往上逐漸變細。之後，以該閘極為罩幕，進行一輕摻雜離子植入製程，自我對準地形成一對稱之輕摻雜汲極於半導體島中，而不需額外之微影步驟。

伍、(一)、本案代表圖為：第6B圖。

(二)、本案代表圖之元件代表符號簡單說明：

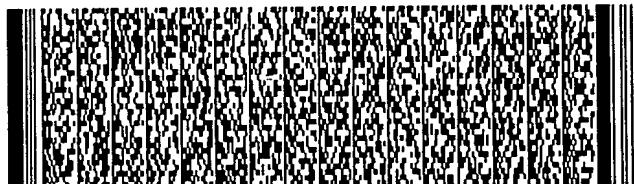
200~基底；

210~NMOS區；

211~第一摻雜區；

212~輕摻雜區；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：互補式金氧半導體薄膜電晶體元件之製造方法)

213~第一閘極區；  
220~PMOS區；  
221~第二摻雜區；  
222~第二閘極區；  
240~第一半導體島；  
245~第二半導體島；  
250~介電層；  
262'~剩餘之該第二金屬層；  
270'~剩餘之該第一光阻層；  
281~第一源/汲極；  
290~第一閘極；  
300~N型離子之輕摻雜離子植入製程；  
310~輕摻雜汲極(LDD)。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關於一種液晶顯示器(liquid crystal display, LCD)的製造方法，且特別是有關於一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。

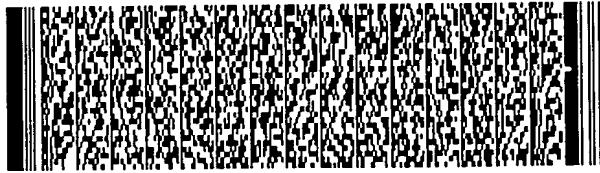
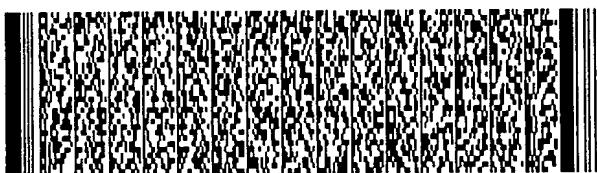
### 【先前技術】

在目前的主動式液晶顯示器裝置中，包含有一驅動電路(driver circuit)，而該驅動電路中又更包含有一互補式金氧半導體薄膜電晶體(CMOS TFT)元件。然而，由於CMOS TFT元件中N型金氧半導體薄膜電晶體元件會因為熱載子的作用，而在關狀態(off state)時有閘極漏電流的問題，所以N型金氧半導體薄膜電晶體元件通常會設計有輕摻雜汲極 lightly doped region, LDD 的區域，用來減低閘極漏電流。

以下將參酌第1A~1E圖來說明習知之互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。

首先，請參閱第1A圖，提供一玻璃基底100，該基底100具有一N型金氧半導體(NMOS)區110、一P型金氧半導體(PMOS)區120。然後，進行使用第一光罩之第一圖案化製程(patterning process I)，形成第一多晶矽層130與第二多晶矽層135於部分該基底100上，其中該第一多晶矽層130位於該NMOS區110中，而該第二多晶矽層135位於該PMOS區120中。

仍請參閱第1A圖，形成一氧化矽( $\text{SiO}_x$ )層140於該第一



## 五、發明說明 (2)

多晶矽層130、該第二多晶矽層135與該基底100上。之後，形成一金屬層(未圖示)於該氧化矽層140上。然後，進行使用第二光罩之第二圖案化製程(patterning process II)，圖案化該金屬層(未圖示)而形成第一閘極141與第二閘極142，該第一閘極141位於NMOS區110中，該第二閘極142位於PMOS區120中。

接著，請參閱第1B圖，以該第一閘極141與該第二閘極142為罩幕，進行一N型離子之輕摻雜離子植入製程( $n^-$ -ions implantation)150，形成一 $n^-$ 多晶矽膜151於部分該第一多晶矽層130與部分該第二多晶矽層135中，該 $n^-$ 多晶矽膜151用以當作是輕摻雜汲極(lightly doped drain, LDD)。

接著，請參閱第1C圖，進行使用第三光罩之第三圖案化製程(patterning process III)，形成第一光阻圖案160覆蓋該輕摻雜區112與該PMOS區120。然後，進行一N型離子之重摻雜離子植入製程( $n^+$ -ions implantation)170，形成一 $n^+$ -多晶矽膜171於部分該第一多晶矽層130中，該 $n^+$ -多晶矽膜171用以當作是源/汲極，如此即形成一NMOS元件175於NMOS區110中。這裡要特別說明的是，如第1E圖所示，由於上述第二光罩與第三光罩的圖案不同，因此非常容易有微影對不準(misalignment)的現象發生，而使得 $n^-$ 多晶矽膜151在某一側的範圍較窄，也就是說第一閘極141兩側之 $n^-$ 多晶矽膜151區域分佈不對稱，因此對閘極漏電流有不良之影響。



## 五、發明說明 (3)

接著，請參閱第1D圖，去除該第一光阻圖案160之後，進行使用第四光罩之第四圖案化製程(patterning process IV)，形成第二光阻圖案180覆蓋該NMOS區110。

然後，進行一P型離子之重摻雜離子植入製程( $p^+$ -ions implantation)190，形成一 $p^+$ -多晶矽膜191於位在該第二摻雜區之該第二多晶矽層135中，該 $p^+$ -多晶矽膜191用以當作是源/汲極，如此形成一PMOS元件195於PMOS區120中。

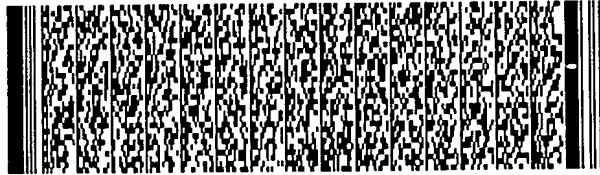
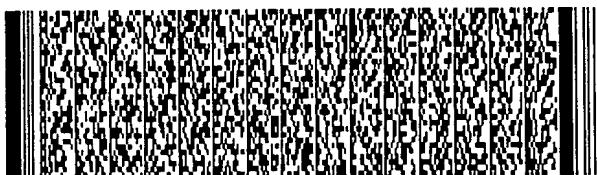
最後，去除該第二光阻圖案180，而如第1E圖所示。

因此，上述習知製程必須使用不同的光罩來定義閘極和輕摻雜區，因此容易有微影對不準(misalignment)的現象發生，而使得NMOS元件中的LDD區域不對稱，而對閘極漏電流有不良的影響。而且，習知製程需要四個光罩才能製造出CMOS TFT元件，因而成本頗高。

### 【發明內容】

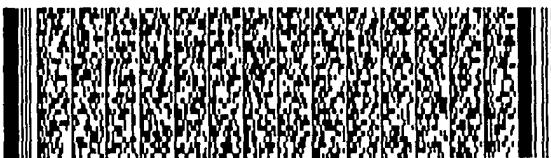
有鑑於此，本發明之目的在於提供一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。

為達上述目的，本發明提供一種互補式金氧半導體薄膜電晶體元件之製造方法。提供一基底，該基底具有一N型金氧半導體(NMOS)區、一P型金氧半導體(PMOS)區與一電路區，其中該NMOS區更包含第一摻雜區、輕摻雜區與第一閘極區，而該PMOS區更包含第二摻雜區與第二閘極區。進行使用第一光罩之第一圖案化製程(patterning process)，形成第一半導體島與第二半導體島於部分該基



## 五、發明說明 (4)

底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中。形成一介電層於該第一半導體島、該第二半導體島與該基底上。形成一金屬層於該介電層上。進行使用第二光罩之第二圖案化製程，形成第一光阻層於位在該第一閘極區、該輕摻雜區、該PMOS區與該電路區之該金屬層上。以該第一光阻層為罩幕，蝕刻去除部分該金屬層而形成位在該第一閘極區及該輕摻雜區的第一金屬層、位在該PMOS區的第二金屬層以及位於電路區的第三金屬層，其中該第三金屬層係分別地連接該第一金屬層與該第二金屬層。以該第一金屬層與該第二金屬層為罩幕，進行一N型離子之重摻雜離子植入製程，形成第一源/汲極於位在該第一摻雜區之該第一半導體島中。進行一乾蝕刻程序，部分蝕刻該第一光阻層、該第一金屬層與該第二金屬層，而形成具有對稱錐狀之該第一閘極、剩餘之該第二金屬層與剩餘之該第一光阻層，並且露出位在該輕摻雜區之該介電層，其中該第一閘極的底部寬度小於該第一金屬層的底部寬度，且該錐狀係由下往上逐漸變細。以該第一閘極、剩餘之該第二金屬層為罩幕，進行一N型離子之輕摻雜離子植入製程，形成一輕摻雜汲極於位在該輕摻雜區之該第一半導體島中。去除剩餘之該第一光阻層，如此形成一NMOS元件於NMOS區中。進行使用一第三光罩之一第三圖案化製程，去除位在該第二摻雜區之部分剩餘之該第二金屬層，而形成第二閘極於位在該第二閘極區之該介電層上。進行一P型離子之重摻雜離子植入製程，形成第



## 五、發明說明 (5)

二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成一PMOS元件於PMOS區中。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

請參閱第2A~11A圖與第2B~11B圖，用以說明本發明之互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。其中，第2A~11A圖係顯示本發明之CMOS TFT的製程上視圖，第2B~11B圖係顯示沿著第2A~11A圖中c-c'斷線之剖面示意圖。

首先，請參閱第2A圖與第2B圖，提供例如是玻璃基底的一基底200，該基底200具有一N型金氧半導體(NMOS)區210、一P型金氧半導體(PMOS)區220與一電路(circuit)區230，其中該NMOS區210更包含第一摻雜區211、輕摻雜區212與第一閘極區213，而該PMOS區220更包含第二摻雜區221與第二閘極區222。

然後，進行使用第一光罩(reticle or photomask)之第一圖案化製程(patterning process I)，形成例如是多晶矽層(polysilicon layer)的第一半導體島240與第二半導體島245於部分該基底200上，其中該第一半導體島240位於該NMOS區210中，而該第二半導體島245位於該PMOS區



## 五、發明說明 (6)

220 中。之後，形成例如是氧化矽( $\text{SiO}_x$ )層或氮化矽( $\text{SiN}_x$ )層的一介電層250於該第一半導體島240、該第二半導體島245與該基底200上。

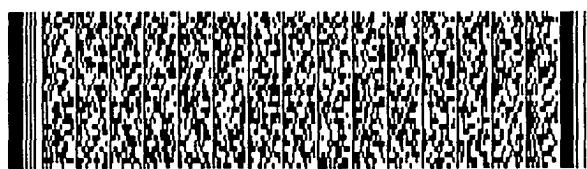
仍請參閱第2A圖與第2B圖，形成例如是銅層的一金屬層260於該介電層250上。接著，進行使用第二光罩之第二圖案化製程(patterning process II)，形成第一光阻層270於位在該第一閘極區213、該輕摻雜區212、該PMOS區220與該電路區230之該金屬層260上。

請參閱第3A圖與第3B圖，以該第一光阻層270為罩幕，以濕蝕刻法或乾蝕刻法蝕刻去除部分該金屬層260而形成位在該第一閘極區213及該輕摻雜區212的第一金屬層261、位在該PMOS區220的第二金屬層262以及位於電路區230的第三金屬層263，其中該第三金屬層263係分別地連接該第一金屬層261與該第二金屬層262。其中，此步驟最好是使用乾蝕刻法，其使用之蝕刻氣體例如是氯氣。

(註：第一光阻層270未標示於第3A圖中)

其次，請參閱第4A圖與第4B圖，以該第一金屬層261與該第二金屬層262為罩幕，進行一N型離子(例如是 $\text{P}^+$ 或 $\text{As}^+$ )之重摻雜離子植入製程( $n^+$ -ions implantation)280，形成例如是 $n^+$ -多晶矽膜的第一源/汲極281於位在該第一摻雜區211之該第一半導體島240中。其中該重摻雜離子植入之劑量約是 $1\text{E}15 \text{ atom/cm}^2$ 。(註：第一光阻層270未標示於第4A圖中)

其次，請參閱第5A圖與第5B圖，進行一乾蝕刻程序，



## 五、發明說明 (7)

均勻地部分蝕刻該第一光阻層270、該第一金屬層261與該第二金屬層262之周圍，而形成具有對稱錐狀(symmetric taper)之該第一閘極290、剩餘之該第二金屬層262'與剩餘之該第一光阻層270'，並且露出位在該輕摻雜區212之該介電層250，其中上述錐狀係由下往上逐漸變細，而該錐狀底部之夾角 $\theta$ 例如係小於45°，也就是說，該第一閘極290的底部寬度小於該第一金屬層261的底部寬度。另外，本步驟之乾蝕刻程序所使用之蝕刻氣體例如是氯氣與氧氣，該第一光阻層270與該金屬層(例如是鉑層)260的蝕刻選擇比範圍係1~1/4。

其次，請參閱第6A圖與第6B圖，以該第一閘極290、剩餘之該第二金屬層262'為罩幕，進行一N型離子之輕摻雜離子植入製程( $n^-$ -ions implantation)300，自我對準地形成一輕摻雜汲極(LDD)310於位在該輕摻雜區212之該第一半導體島240中。其中該輕摻雜離子植入之劑量約是 $1E13$  atom/cm<sup>2</sup>。

這裡要特別提醒的是，由於如第6B圖所示的該第一閘極290兩側係被均勻地蝕刻而具有對稱的斜坡，因此本發明能夠輕易地在第一閘極290兩側之半導體島240中，自我對準地形成對稱之輕摻雜汲極(LDD)310。

其次，請參閱第7A圖與第7B圖，去除剩餘之該第一光阻層270'，如此形成一NMOS元件320於NMOS區210中。

接著，請參閱第8A圖與第8B圖，進行使用第三光罩之第三圖案化製程(patterning process III)，形成第二光



## 五、發明說明 (8)

阻層330 覆蓋該NMOS區210、該電路區230以及該第二閘極區222，而只露出該第二摻雜區221。在此要特別說明的是，為了要確保能完全蝕刻去除位於第二摻雜區221的剩餘之該第二金屬層262'，所以該第二光阻層330的開口需完全露出該第二金屬層262'之兩側邊。

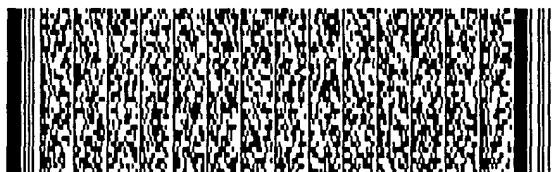
然後，請參閱第9A圖與第9B圖，以該第二光阻層330為罩幕，以濕蝕刻法或乾蝕刻法蝕刻去除位在該第二摻雜區221之部分剩餘之該第二金屬層262'，而形成第二閘極340於位在該第二閘極區222之該介電層250上。其中，此步驟最好是使用乾蝕刻法，其使用之蝕刻氣體例如是氯氣。

其次，請參閱第10A圖與第10B圖，以該第二光阻層330與該第二閘極340為罩幕，進行一P型離子(例如是B<sup>+</sup>)之重摻雜離子植入製程350，形成第二源/汲極351於位在該第二摻雜區221之該第二半導體島245中，如此形成一PMOS元件360於PMOS區220中。

最後，除去該第二光阻層330，而如第11A圖與第11B圖所示，形成了包含NMOS元件320與PMOS元件360的一CMOS TFT元件。

### 【本發明之特徵與優點】

本發明之特徵在於：如第6B圖所示的該第一閘極290兩側係具有對稱的斜坡，並且不需額外之微影步驟來定義輕摻雜區，因此本發明能夠輕易地在第一閘極290兩側之

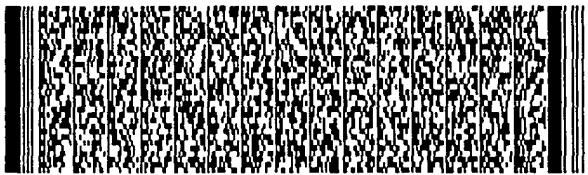


## 五、發明說明 (9)

半導體島240中，自我對準地形成對稱之輕摻雜汲極(LDD)310。

如此，經由本發明，使得CMOS TFT元件能夠以三道光罩來形成，不僅可以減少對不準現象而能提升元件品質，亦能達成降低製造成本之目的。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1E圖係顯示習知CMOS TFT的製程剖面圖；  
第2A圖係顯示本發明之CMOS TFT的製程上視圖；  
第2B圖係顯示沿著第2A圖中c-c'斷線之剖面示意圖；  
第3A圖係顯示本發明之CMOS TFT的製程上視圖；  
第3B圖係顯示沿著第3A圖中c-c'斷線之剖面示意圖；  
第4A圖係顯示本發明之CMOS TFT的製程上視圖；  
第4B圖係顯示沿著第4A圖中c-c'斷線之剖面示意圖；  
第5A圖係顯示本發明之CMOS TFT的製程上視圖；  
第5B圖係顯示沿著第5A圖中c-c'斷線之剖面示意圖；  
第6A圖係顯示本發明之CMOS TFT的製程上視圖；  
第6B圖係顯示沿著第6A圖中c-c'斷線之剖面示意圖；  
第7A圖係顯示本發明之CMOS TFT的製程上視圖；  
第7B圖係顯示沿著第7A圖中c-c'斷線之剖面示意圖；  
第8A圖係顯示本發明之CMOS TFT的製程上視圖；  
第8B圖係顯示沿著第8A圖中c-c'斷線之剖面示意圖；  
第9A圖係顯示本發明之CMOS TFT的製程上視圖；  
第9B圖係顯示沿著第9A圖中c-c'斷線之剖面示意圖；  
第10A圖係顯示本發明之CMOS TFT的製程上視圖；  
第10B圖係顯示沿著第10A圖中c-c'斷線之剖面示意；  
第11A圖係顯示本發明之CMOS TFT的製程上視圖；以  
及  
第11B圖係顯示沿著第11A圖中c-c'斷線之剖面示意  
圖。



圖式簡單說明

[ 圖示符號說明 ] :

習知部分(第1A~1E圖)

100~ 基底；

110~N型金氧半導體(NMOS)區；

120~P型金氧半導體(PMOS)區；

130~ 第一多晶矽層；

135~ 第二多晶矽層；

140~ 氧化矽層；

141~ 第一閘極；

142~ 第二閘極；

150~N型離子之輕摻雜離子植入製程；

151~n<sup>-</sup>- 多晶矽膜；

160~ 第一光阻圖案；

170~N型離子之重摻雜離子植入製程；

171~n<sup>+</sup>- 多晶矽膜；

175~NMOS元件；

180~ 第二光阻圖案；

190~P型離子之重摻雜離子植入製程；

191~p<sup>+</sup>- 多晶矽膜；

195~PMOS元件。

本案部分(第2A~11A圖以及第2B~11B圖)

200~ 基底；

210~N型金氧半導體(NMOS)區；



圖式簡單說明

- 211~ 第一摻雜區；
- 212~ 輕摻雜區；
- 213~ 第一閘極區；
- 220~ P型金氧半導體(PMOS)區；
- 221~ 第二摻雜區；
- 222~ 第二閘極區；
- 230~ 電路區；
- 240~ 第一半導體島；
- 245~ 第二半導體島；
- 250~ 介電層；
- 260~ 金屬層；
- 261~ 第一金屬層；
- 262~ 第二金屬層；
- 262'~ 剩餘之該第二金屬層；
- 263~ 第三金屬層；
- 270~ 第一光阻層；
- 270'~ 剩餘之該第一光阻層；
- 280~ N型離子之重摻雜離子植入製程；
- 281~ 第一源/汲極( $n^+$ -多晶矽膜)；
- 290~ 第一閘極；
- 300~ N型離子之輕摻雜離子植入製程；
- 310~ 輕摻雜汲極(LDD,  $n^-$ -多晶矽膜)；
- 320~ NMOS元件；
- 330~ 第二光阻層；



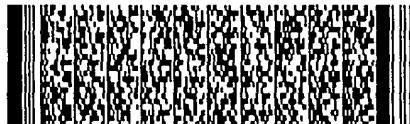
圖式簡單說明

340~第二閘極；

350~P型離子之重摻雜離子植入製程；

351~第二源/汲極( $p^+$ -多晶矽膜)；

360~PMOS元件。



六、申請專利範圍

1. 一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法，包括下列步驟：

(a) 提供一基底，該基底具有一N型金氧半導體(NMOS)區、一P型金氧半導體(PMOS)區與一電路區，其中該NMOS區更包含第一摻雜區、輕摻雜區與第一閘極區，而該PMOS區更包含第二摻雜區與第二閘極區；

(b) 進行使用第一光罩之第一圖案化製程(patterning process)，形成第一半導體島與第二半導體島於部分該基底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

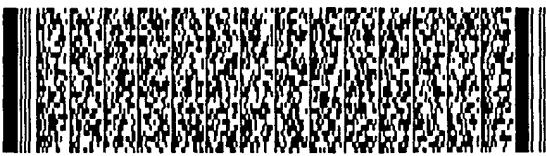
(c) 形成一介電層於該第一半導體島、該第二半導體島與該基底上；

(d) 形成一金屬層於該介電層上；

(e) 進行使用第二光罩之第二圖案化製程，形成第一光阻層於位在該第一閘極區、該輕摻雜區、該PMOS區與該電路區之該金屬層上；

(f) 以該第一光阻層為罩幕，蝕刻去除部分該金屬層而形成位在該第一閘極區及該輕摻雜區的第一金屬層、位在該PMOS區的第二金屬層以及位於電路區的第三金屬層，其中該第三金屬層係分別地連接該第一金屬層與該第二金屬層；

(g) 以該第一金屬層與該第二金屬層為罩幕，進行一N型離子之重摻雜離子植入製程，形成第一源/汲極於位在該第一摻雜區之該第一半導體島中；



## 六、申請專利範圍

(h) 進行一乾蝕刻程序，部分蝕刻該第一光阻層、該第一金屬層與該第二金屬層，而形成具有對稱錐狀之該第一閘極、剩餘之該第二金屬層與剩餘之該第一光阻層，並且露出位在該輕摻雜區之該介電層，其中該第一閘極的底部寬度小於該第一金屬層的底部寬度，且該錐狀係由下往上逐漸變細；

(i) 以該第一閘極、剩餘之該第二金屬層為罩幕，進行一N型離子之輕摻雜離子植入製程，形成一輕摻雜汲極於位在該輕摻雜區之該第一半導體島中；

(j) 去除剩餘之該第一光阻層，如此形成一NMOS元件於NMOS區中；

(k) 進行使用第三光罩之第三圖案化製程，去除位在該第二摻雜區之部分剩餘之該第二金屬層，而形成第二閘極於位在該第二閘極區之該介電層上；以及

(l) 進行一P型離子之重摻雜離子植入製程，形成第二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成一PMOS元件於PMOS區中。

2. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中步驟(k)更包括下列步驟：

(k1) 進行使用該第三光罩之該第三圖案化製程，形成第二光阻層覆蓋該NMOS區、該電路區以及該第二閘極區；以及

(k2) 以該第二光阻層為罩幕，蝕刻去除位在該第二摻



## 六、申請專利範圍

雜區之部分剩餘之該第二金屬層，而形成該第二閘極於位在該第二閘極區之該介電層上。

3. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中步驟(1)更包括下列步驟：

(11) 以該第二光阻層與該第二閘極為罩幕，進行一P型離子之重摻雜離子植入製程，形成該第二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成該PMOS元件於PMOS區中。

4. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該基底係一玻璃基底。

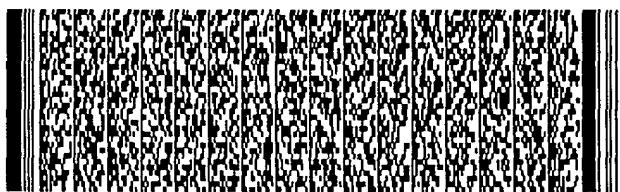
5. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該第一半導體島與該第二半導體島係包含矽。

6. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該介電層係氧化矽( $SiO_x$ )層。

7. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該金屬層包含鉬(Mo)。

8. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中在步驟(f)中，蝕刻去除部分該金屬層的方法包括乾蝕刻法或濕蝕刻法。

9. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中在步驟(h)中，該錐狀底



## 六、申請專利範圍

部之夾角係小於45°。

10. 如申請專利範圍第1項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中在步驟(h)中，該第一光阻層與該金屬層的蝕刻選擇比範圍係1~1/4。

11. 一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法，包括下列步驟：

(a) 提供一玻璃基底，該基底具有一N型金氧半導體(NMOS)區、一P型金氧半導體(PMOS)區與一電路區，其中該NMOS區更包含第一摻雜區、輕摻雜區與第一閘極區，而該PMOS區更包含第二摻雜區與第二閘極區；

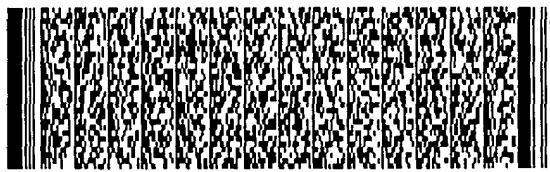
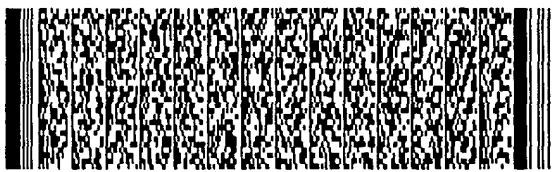
(b) 進行使用第一光罩之第一圖案化製程(patterning process)，形成第一半導體島與第二半導體島於部分該基底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

(c) 形成一氧化矽( $\text{SiO}_x$ )層於該第一半導體島、該第二半導體島與該基底上；

(d) 形成一鉑層於該氧化矽層上；

(e) 進行使用第二光罩之第二圖案化製程，形成第一光阻層於位在該第一閘極區、該輕摻雜區、該PMOS區與該電路區之該鉑層上；

(f) 以該第一光阻層為罩幕，蝕刻去除部分該鉑層而形成位在該第一閘極區及該輕摻雜區的第一鉑層、位在該PMOS區的第二鉑層以及位於電路區的第三鉑層，其中該第三鉑層係分別地連接該第一鉑層與該第二鉑層；

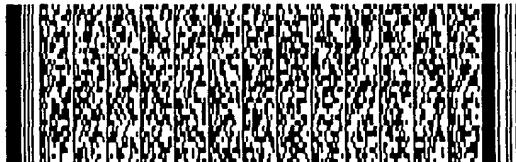
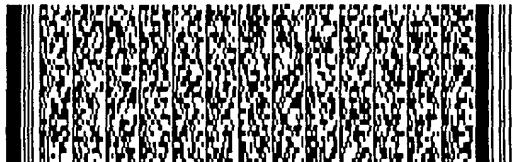


## 六、申請專利範圍

- (g) 以該第一鉑層與該第二鉑層為罩幕，進行一N型離子之重摻雜離子植入製程，形成第一源/汲極於位在該第一摻雜區之該第一半導體島中；
- (h) 進行一乾蝕刻程序，部分蝕刻該第一光阻層、該第一鉑層與該第二鉑層，而形成具有對稱錐狀之該第一閘極、剩餘之該第二鉑層與剩餘之該第一光阻層，並且露出位在該輕摻雜區之該氧化矽層，其中該第一閘極的底部寬度小於該第一金屬層的底部寬度，且該錐狀係由下往上逐漸變細；
- (i) 以該第一閘極、剩餘之該第二鉑層為罩幕，進行一N型離子之輕摻雜離子植入製程，形成一輕摻雜汲極於位在該輕摻雜區之該第一半導體島中；
- (j) 去除剩餘之該第一光阻層，如此形成一NMOS元件於NMOS區中；
- (k) 進行使用第三光罩之第三圖案化製程，去除位在該第二摻雜區之部分剩餘之該第二鉑層，而形成第二閘極於位在該第二閘極區之該氧化矽層上；以及
- (l) 進行一P型離子之重摻雜離子植入製程，形成第二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成一PMOS元件於PMOS區中。

12. 如申請專利範圍第11項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中步驟(k)更包括下列步驟：

- (k1) 進行使用該第三光罩之該第三圖案化製程，形成



## 六、申請專利範圍

第二光阻層覆蓋該NMOS區、該電路區以及該第二閘極區；  
以及

(k2)以該第二光阻層為罩幕，蝕刻去除位在該第二摻雜區之部分剩餘之該第二鉑層，而形成該第二閘極於位在該第二閘極區之該氧化矽層上。

13. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中步驟(1)更包括下列步驟：

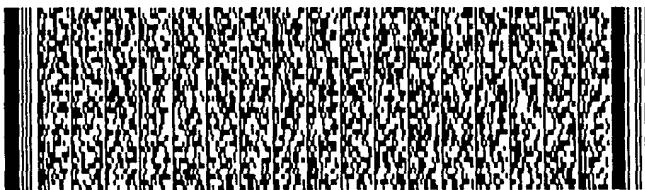
(11)以該第二光阻層與該第二閘極為罩幕，進行一P型離子之重摻雜離子植入製程，形成該第二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成該PMOS元件於PMOS區中。

14. 如申請專利範圍第11項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該第一半導體島與該第二半導體島係多晶矽層。

15. 如申請專利範圍第11項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中在步驟(f)中，蝕刻去除部分該金屬層的方法包括乾蝕刻法或濕蝕刻法。

16. 如申請專利範圍第11項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中在步驟(h)中，該錐狀底部之夾角係小於45°。

17. 如申請專利範圍第11項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中在步驟(h)中，該第一光阻層與該金屬層的蝕刻選擇比範圍係1~1/4。



## 六、申請專利範圍

18. 一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法，包括下列步驟：

(a) 提供一基底，該基底具有一N型金氧半導體(NMOS)區、一P型金氧半導體(PMOS)區，其中該NMOS區更包含第一摻雜區、輕摻雜區與第一閘極區，而該PMOS區更包含第二摻雜區與第二閘極區；

(b) 進行使用第一光罩之第一圖案化製程(patterning process)，形成第一半導體島與第二半導體島於部分該基底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

(c) 形成一介電層於該第一半導體島、該第二半導體島與該基底上；

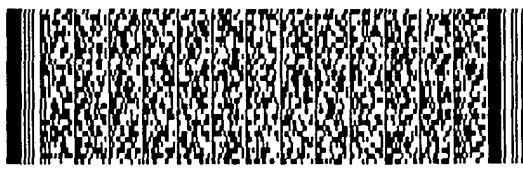
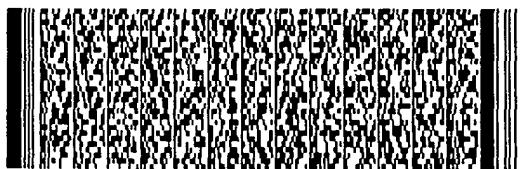
(d) 形成一金屬層於該介電層上；

(e) 進行使用第二光罩之第二圖案化製程，形成第一光阻層於位在該第一閘極區、該輕摻雜區與該PMOS區之該金屬層上；

(f) 以該第一光阻層為罩幕，蝕刻去除部分該金屬層而形成位在該第一閘極區及該輕摻雜區的第一金屬層、位在該PMOS區的第二金屬層；

(g) 以該第一金屬層與該第二金屬層為罩幕，進行一N型離子之重摻雜離子植入製程，形成第一源/汲極於位在該第一摻雜區之該第一半導體島中；

(h) 進行一乾蝕刻程序，部分蝕刻該第一光阻層、該第一金屬層與該第二金屬層，而形成具有對稱錐狀之該第



## 六、申請專利範圍

一閘極、剩餘之該第二金屬層與剩餘之該第一光阻層，並且露出位在該輕摻雜區之該介電層，其中該第一閘極的底部寬度小於該第一金屬層的底部寬度，且該錐狀係由下往上逐漸變細；

(i) 以該第一閘極、剩餘之該第二金屬層為罩幕，進行一N型離子之輕摻雜離子植入製程，形成一輕摻雜汲極於位在該輕摻雜區之該第一半導體島中；

(j) 去除剩餘之該第一光阻層，如此形成一NMOS元件於NMOS區中；

(k) 進行使用第三光罩之第三圖案化製程，去除位在該第二摻雜區之部分剩餘之該第二金屬層，而形成一第二閘極於位在該第二閘極區之該介電層上；以及

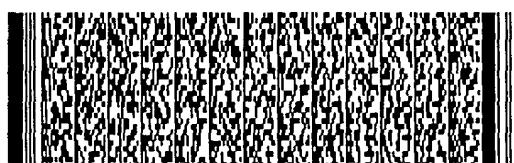
(l) 進行一P型離子之重摻雜離子植入製程，形成第二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成一PMOS元件於PMOS區中。

19. 如申請專利範圍第18項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中步驟(k)更包括下列步驟：

(k1) 進行使用該第三光罩之該第三圖案化製程，形成第二光阻層覆蓋該NMOS區以及該第二閘極區；以及

(k2) 以該第二光阻層為罩幕，蝕刻去除位在該第二摻雜區之部分剩餘之該第二金屬層，而形成該第二閘極於位在該第二閘極區之該介電層上。

20. 如申請專利範圍第19項所述之互補式金氧半導體

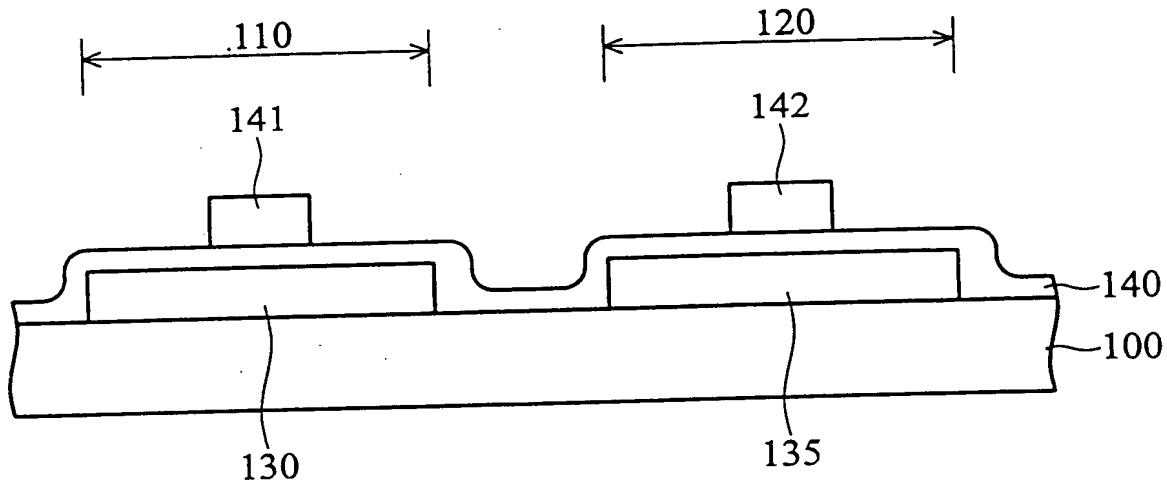


六、申請專利範圍

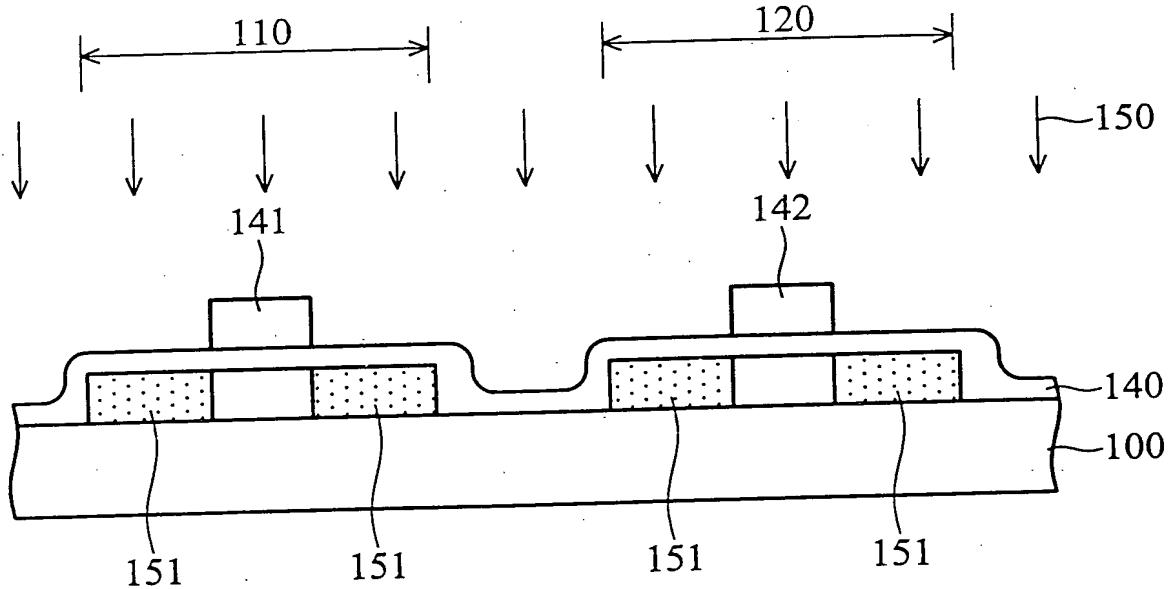
薄膜電晶體元件之製造方法，其中步驟(1)更包括下列步驟：

(11)以該第二光阻層與該第二閘極為罩幕，進行一P型離子之重摻雜離子植入製程，形成該第二源/汲極於位在該第二摻雜區之該第二半導體島中，如此形成該PMOS元件於PMOS區中。

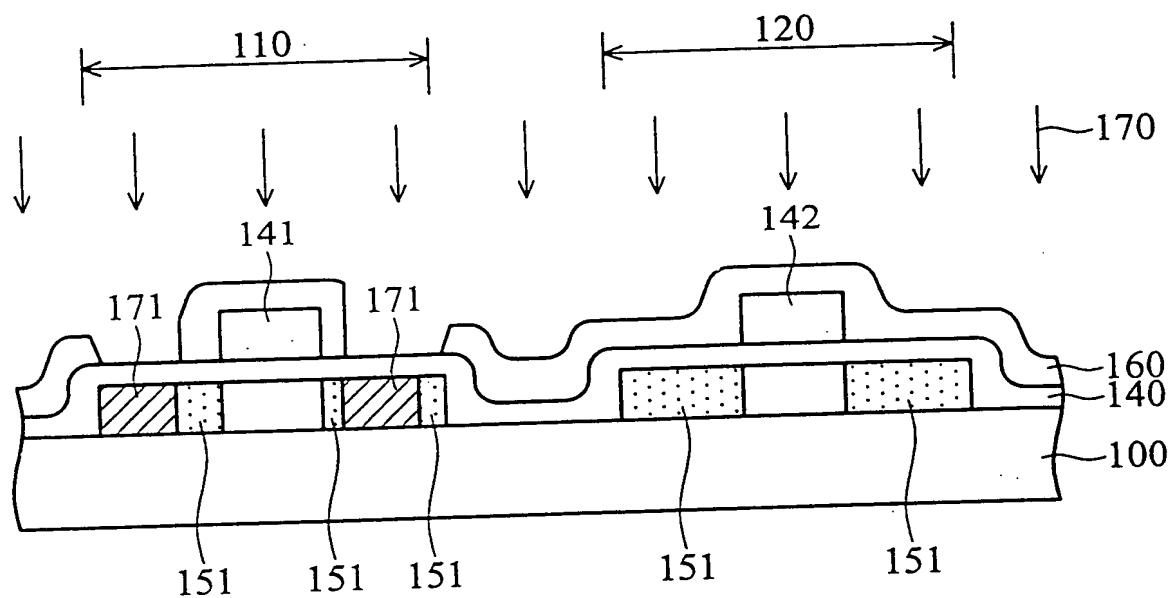




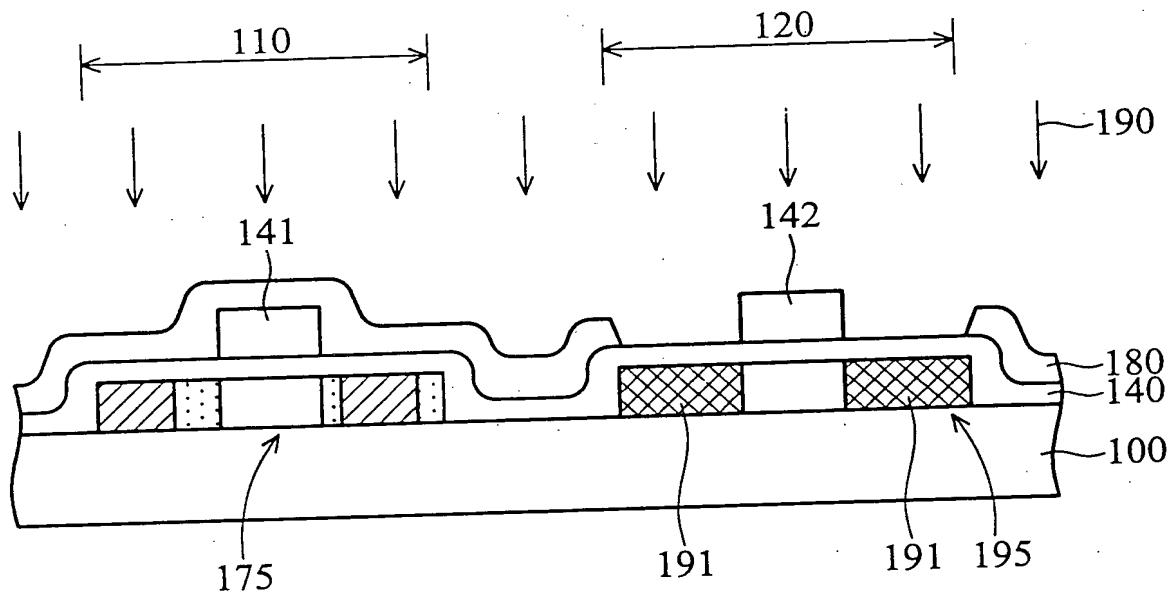
第 1A 圖



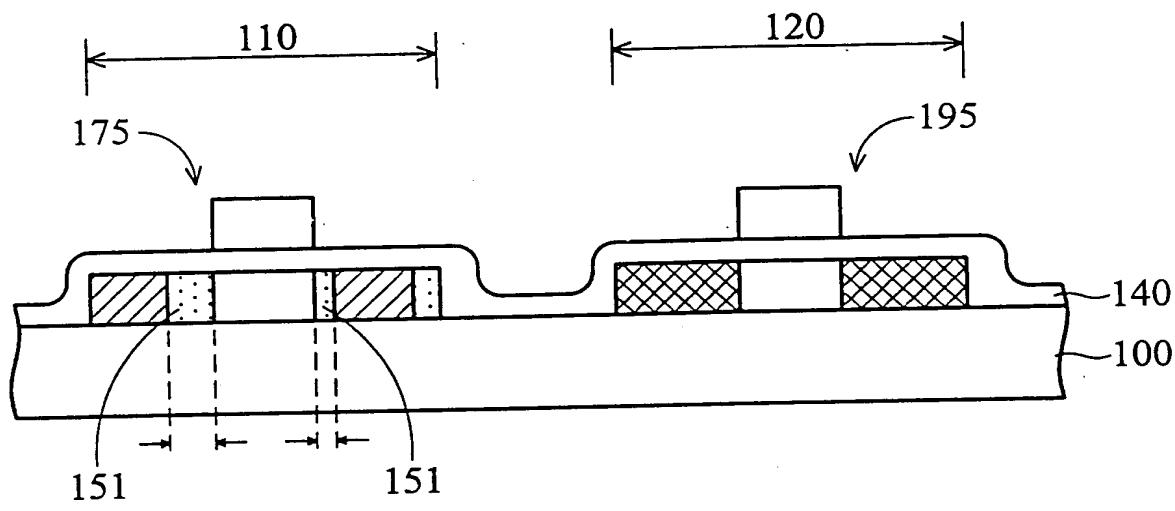
第 1B 圖



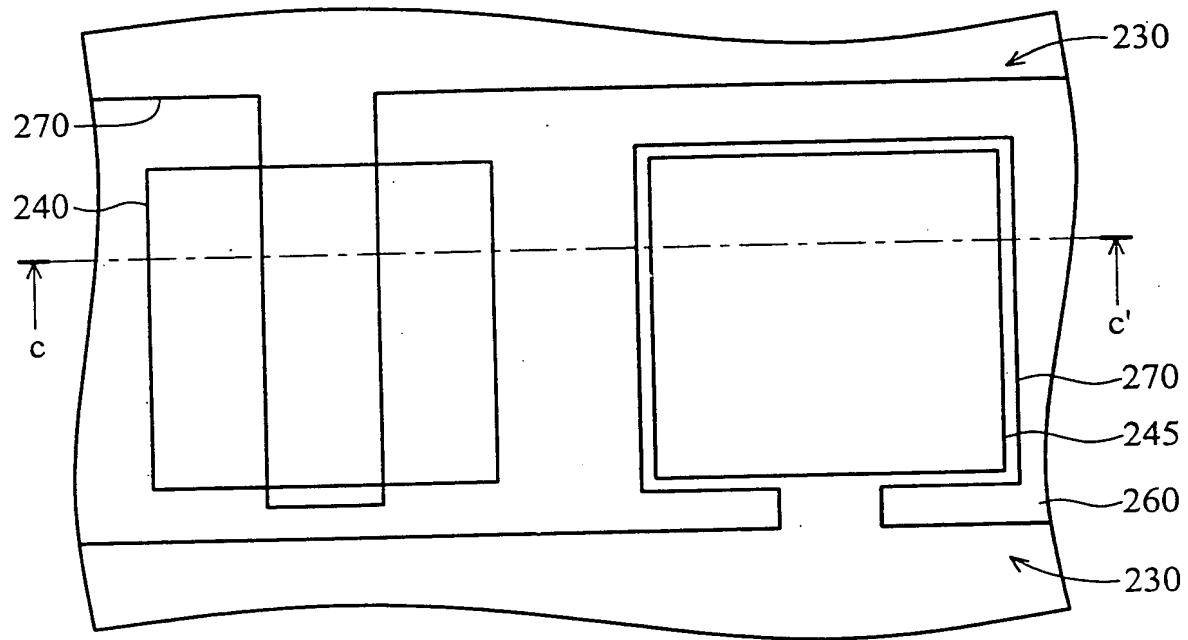
第 1C 圖



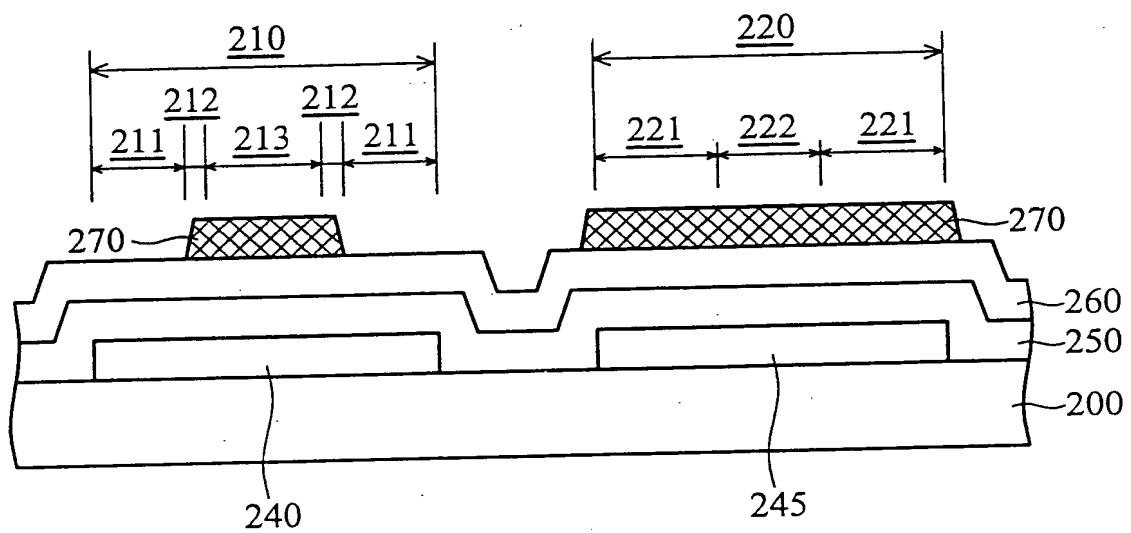
第 1D 圖



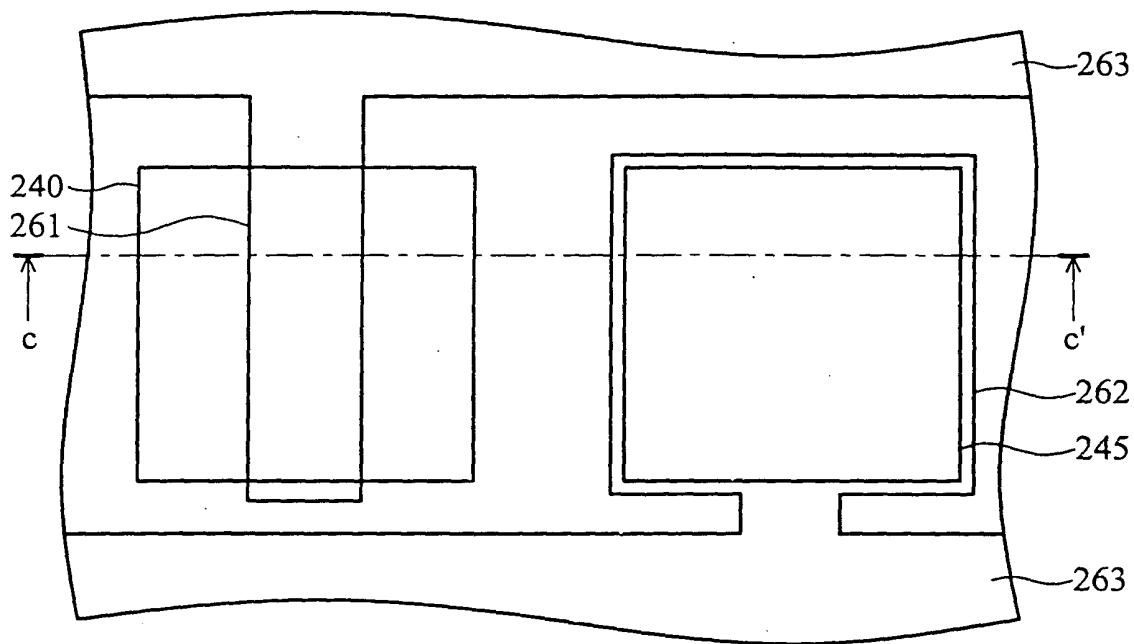
第1E圖



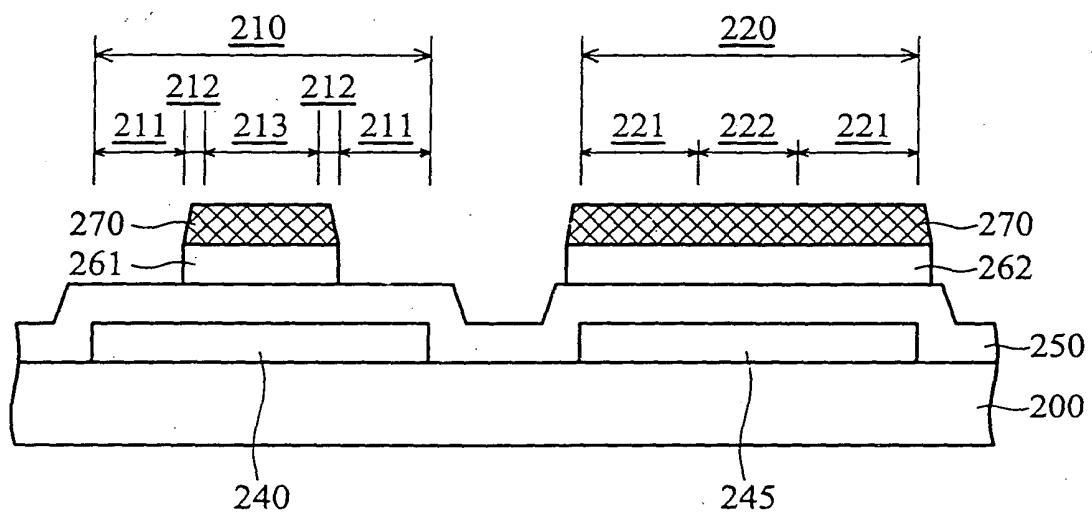
第2A圖



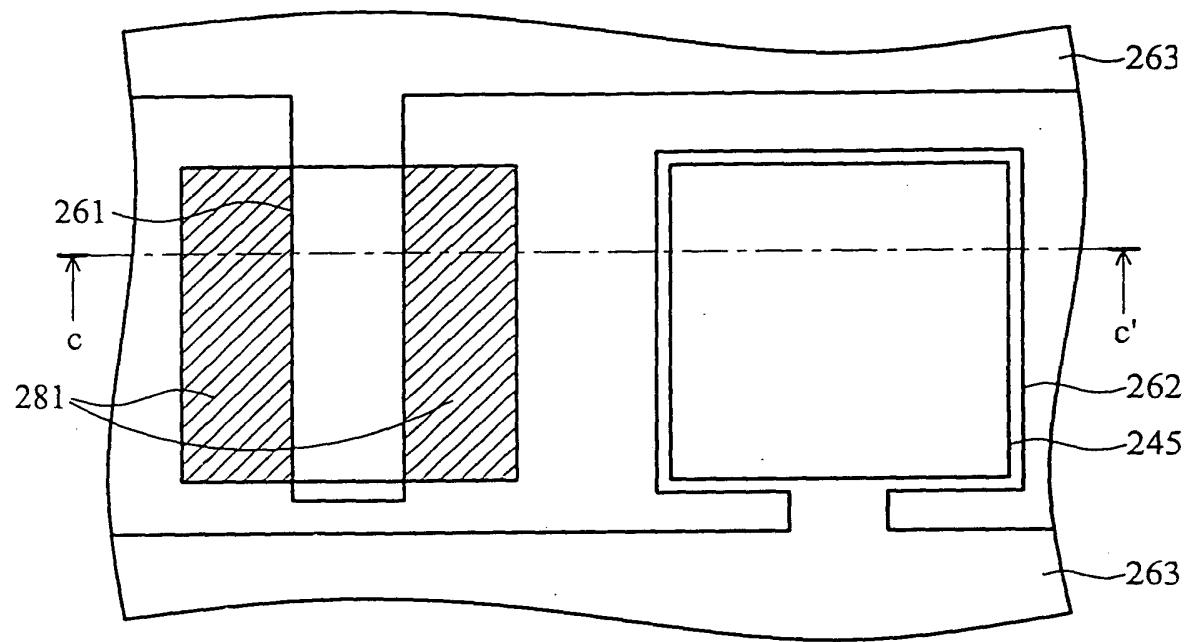
第2B圖



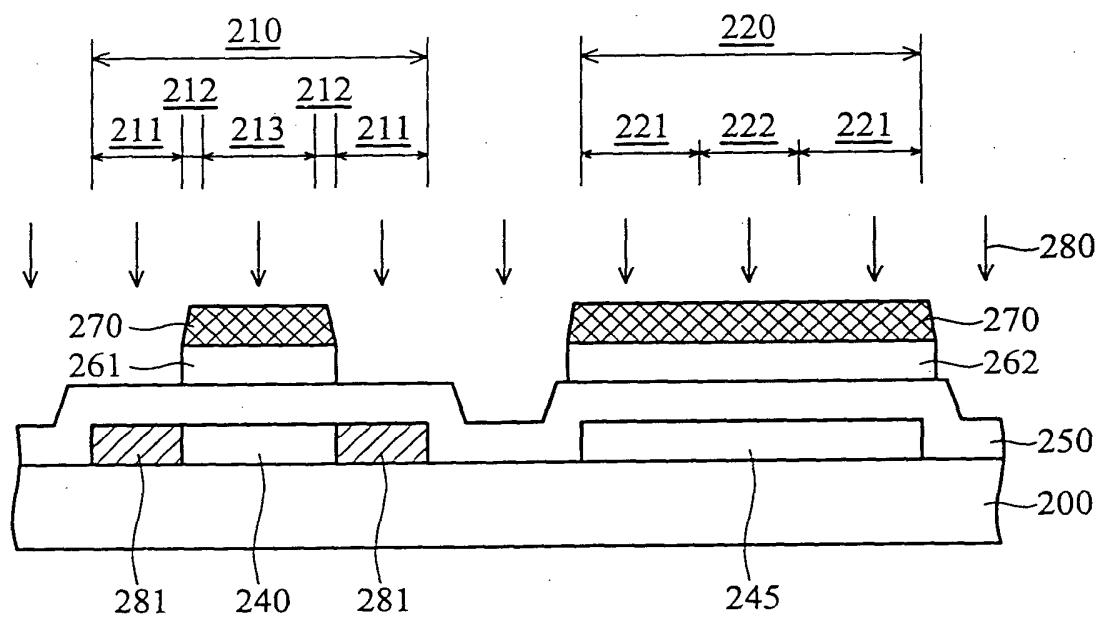
第3A圖



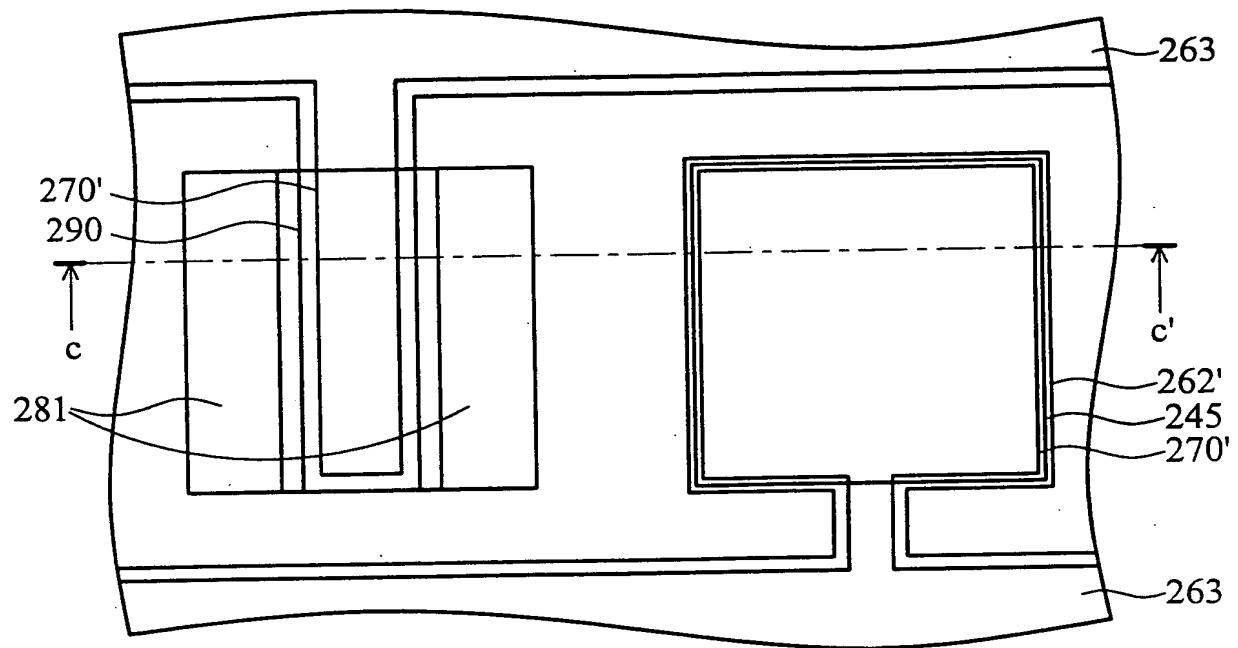
第3B圖



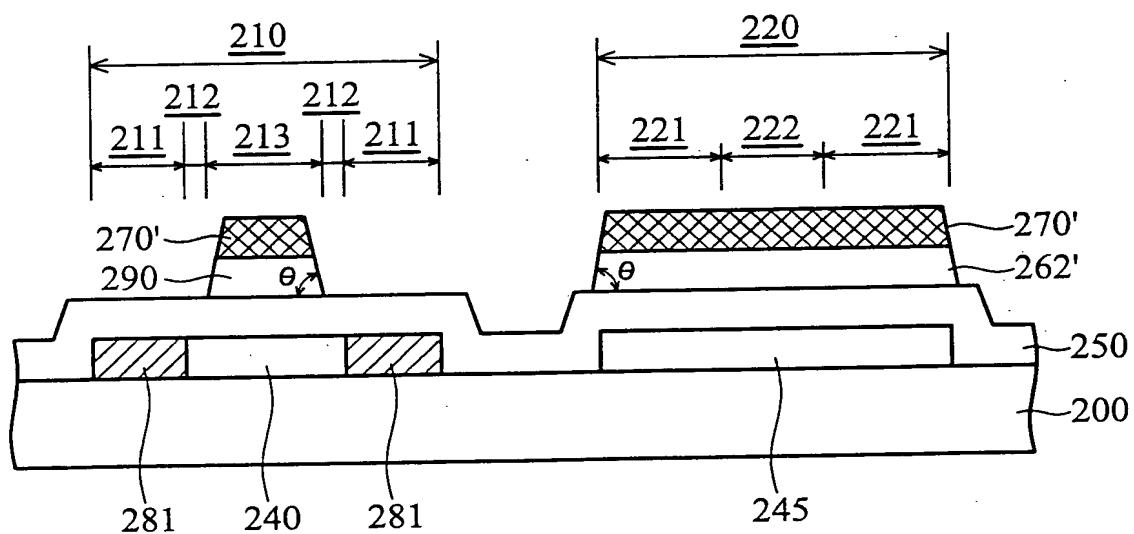
第 4A 圖



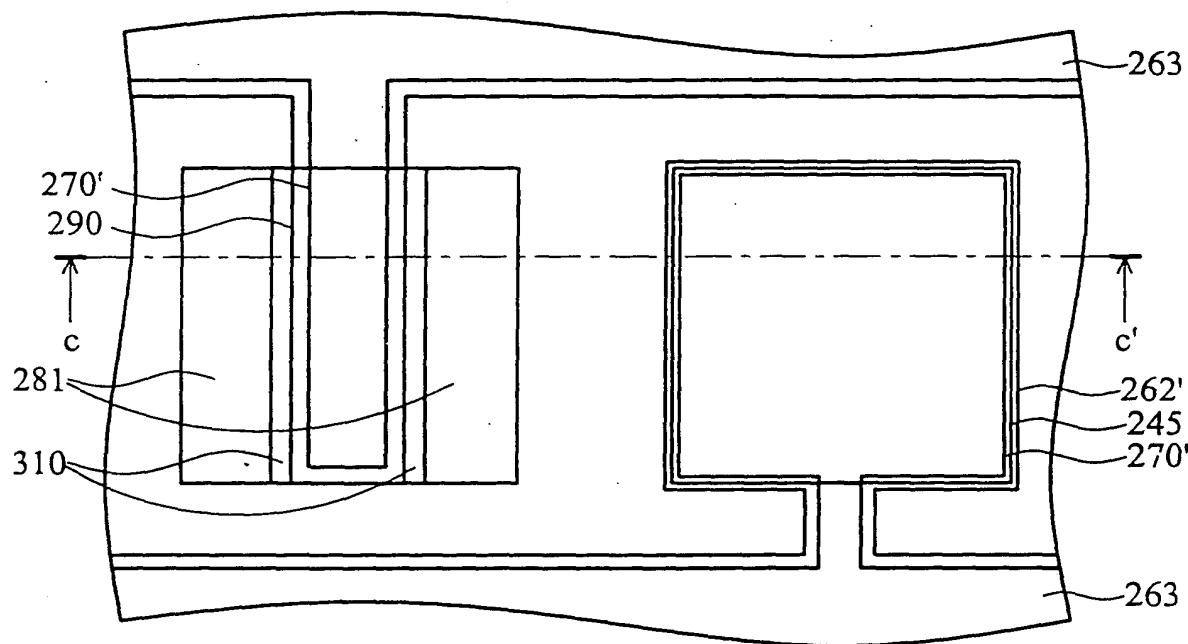
第 4B 圖



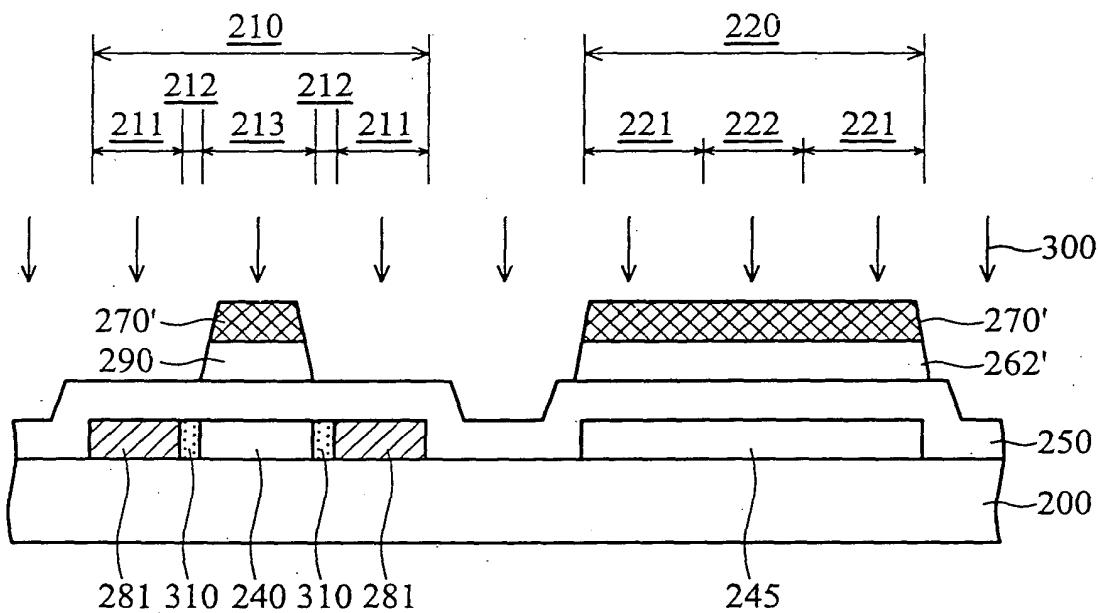
第 5A 圖



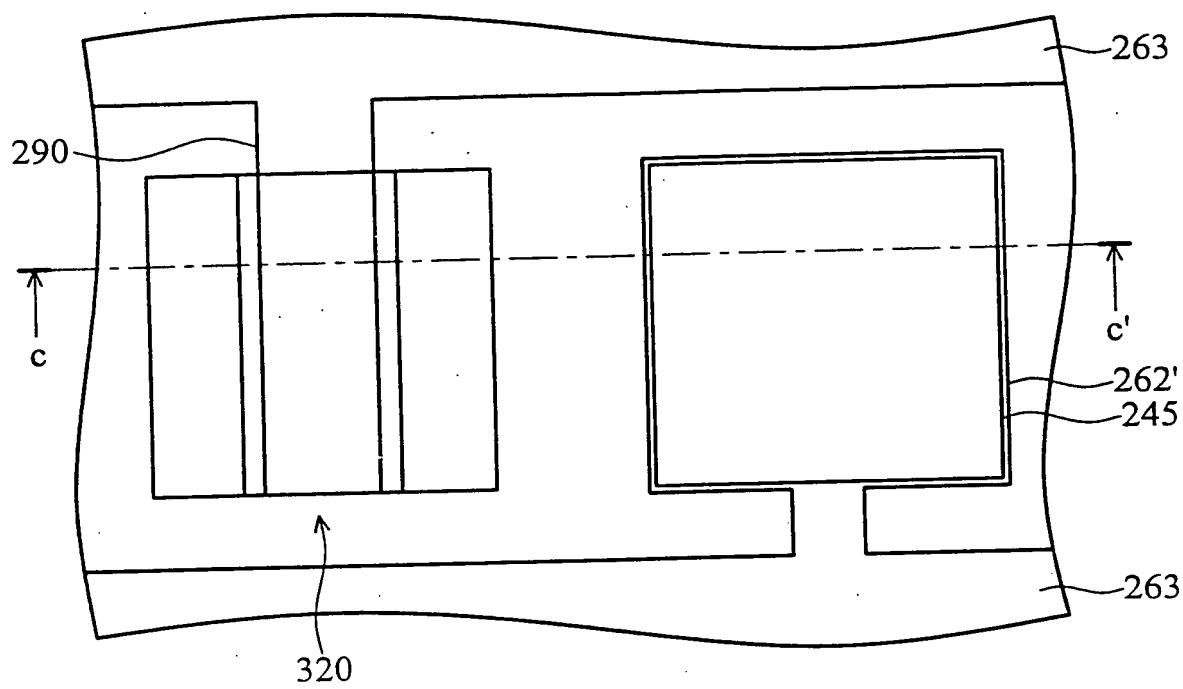
第 5B 圖



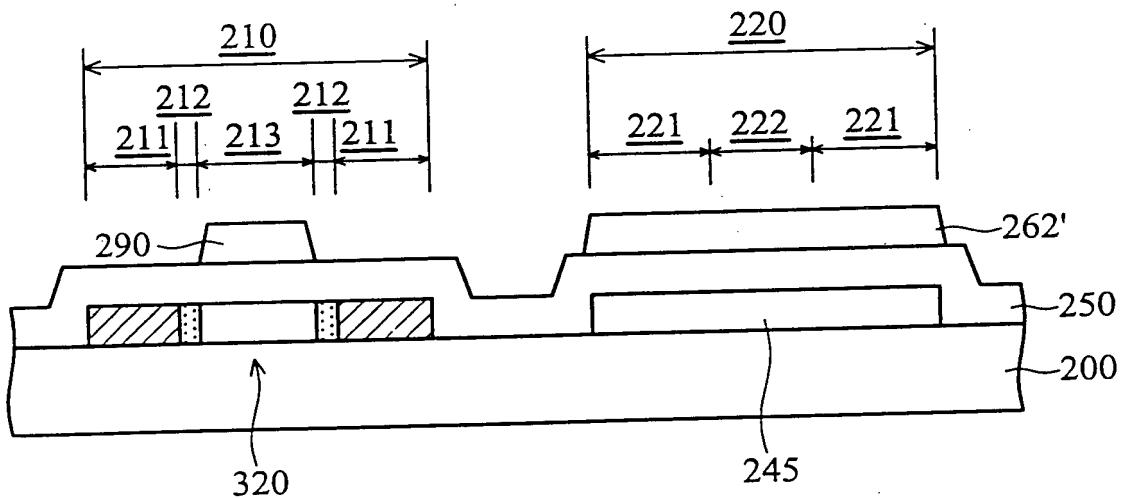
第 6A 圖



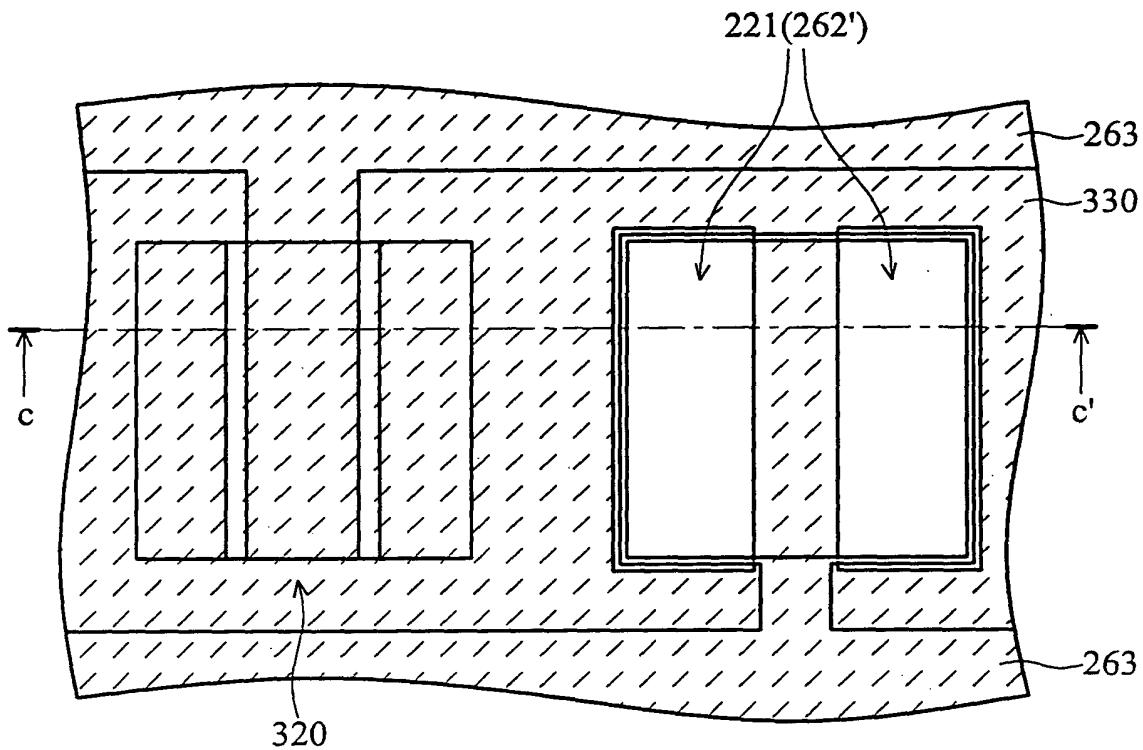
第 6B 圖



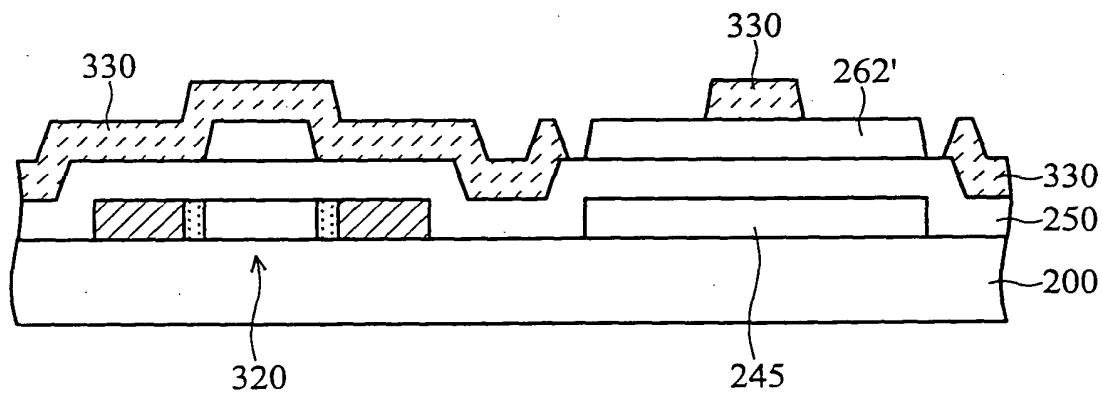
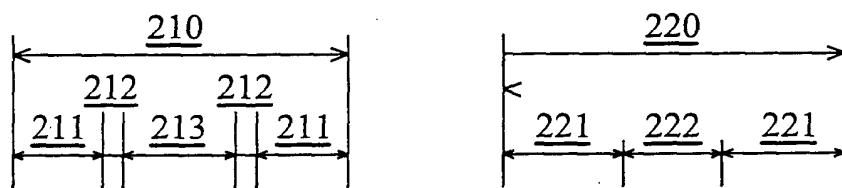
第 7A 圖



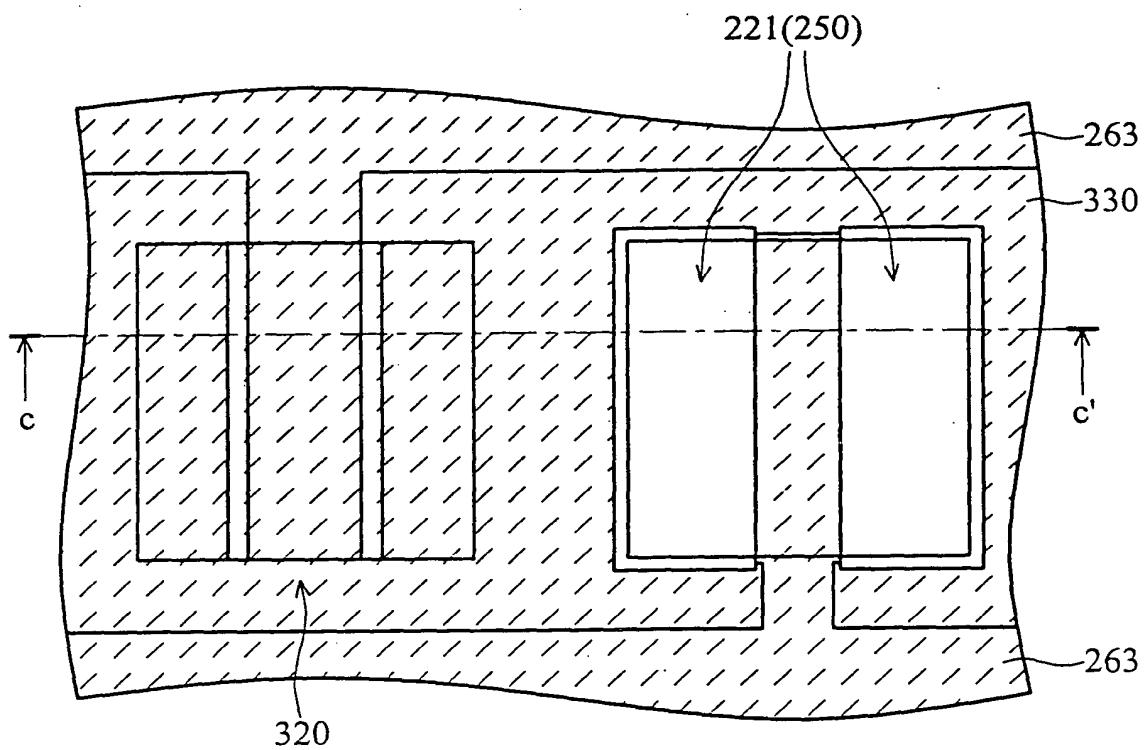
第 7B 圖



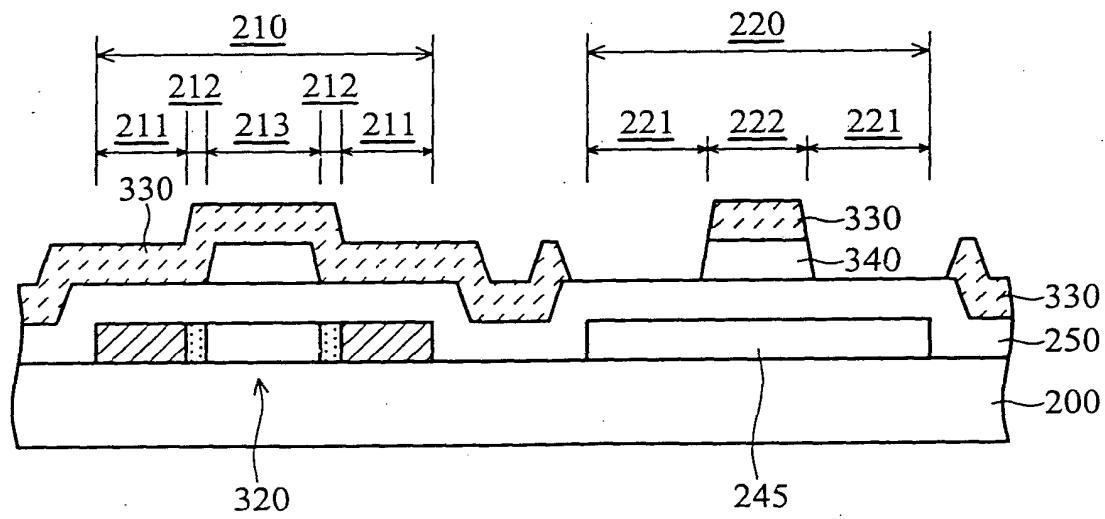
第 8A 圖



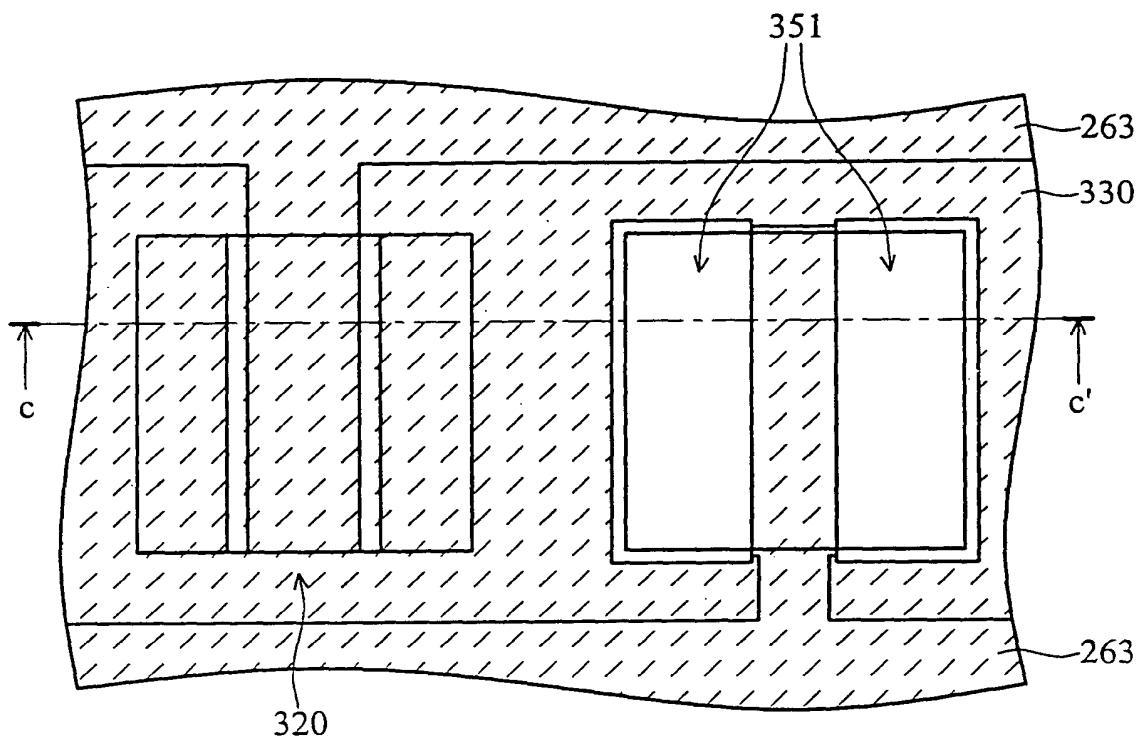
第 8B 圖



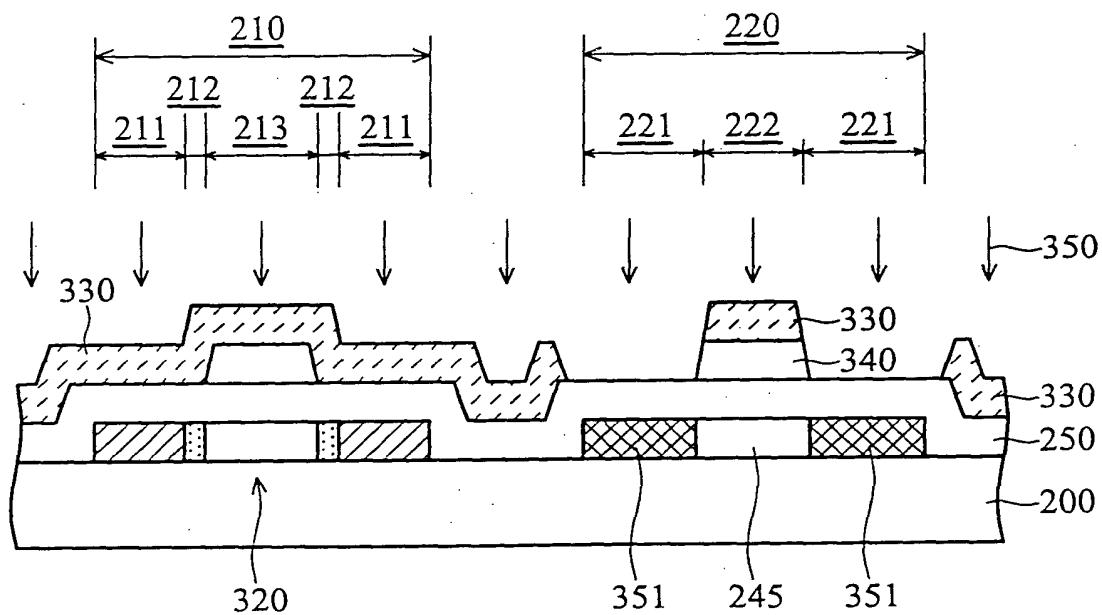
第9A圖



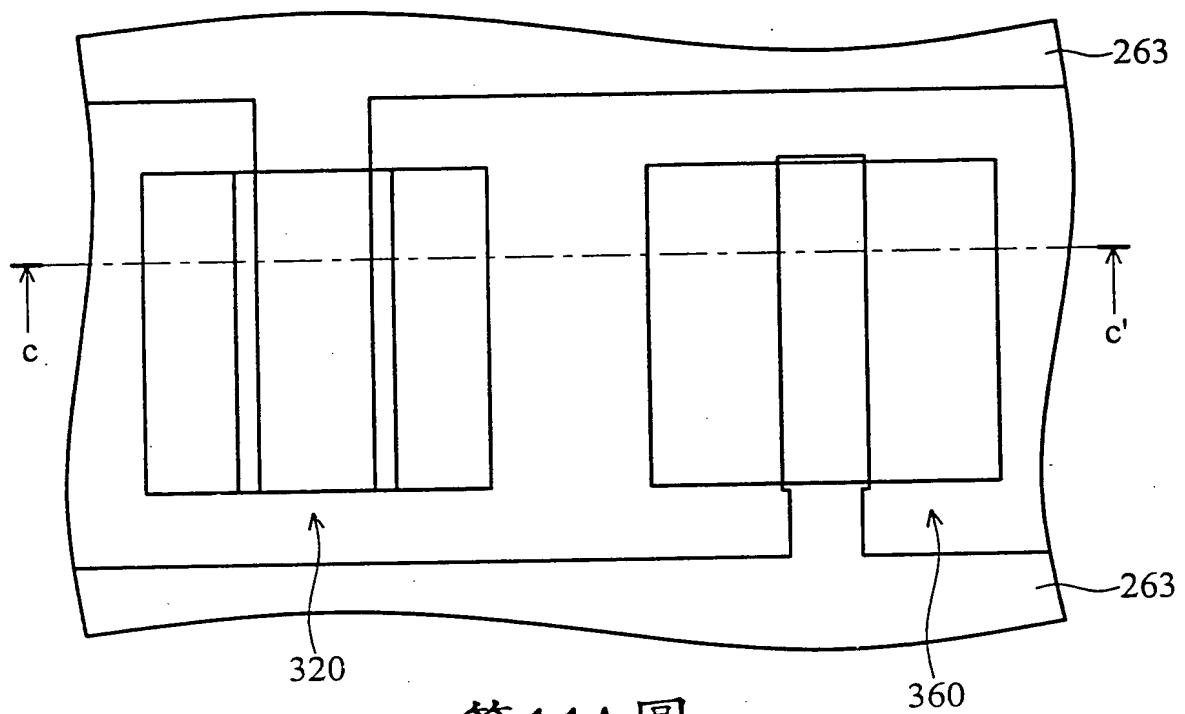
第9B圖



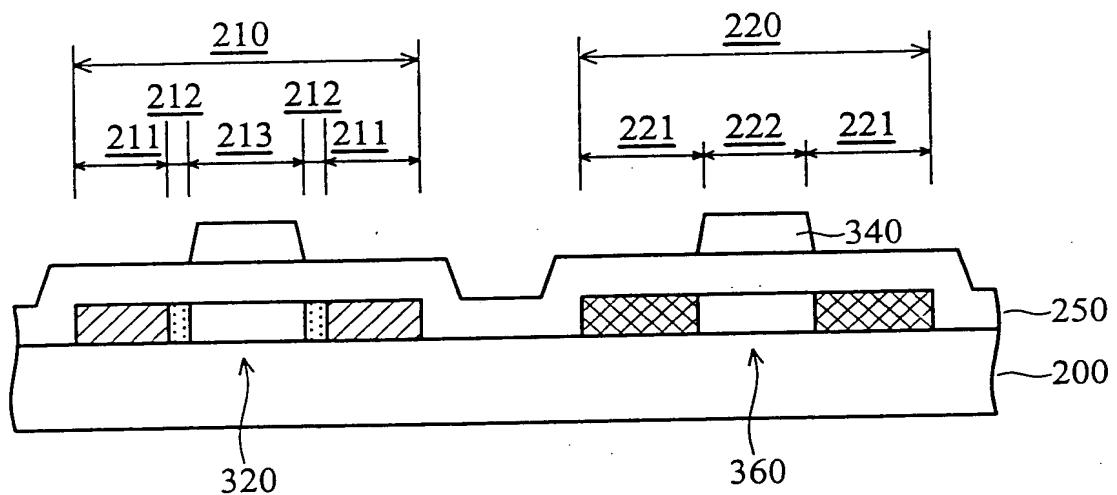
第10A圖



第10B圖



第11A圖

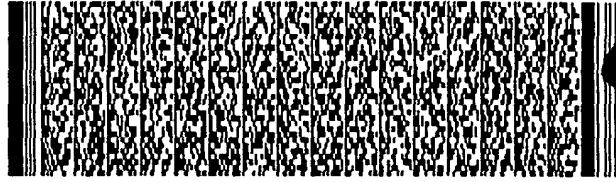


第11B圖

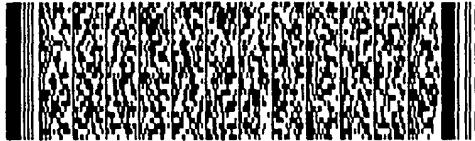
第 1/26 頁



第 2/26 頁



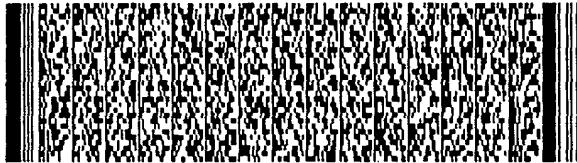
第 3/26 頁



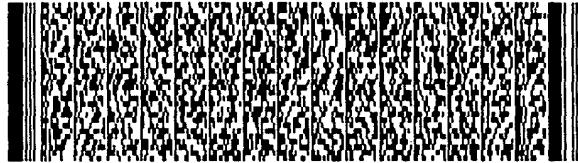
第 4/26 頁



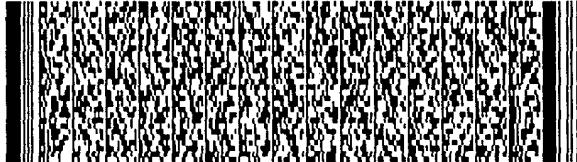
第 5/26 頁



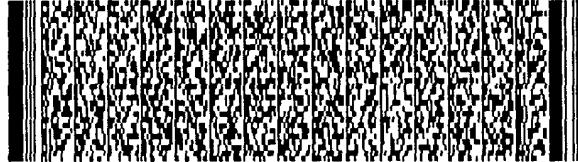
第 5/26 頁



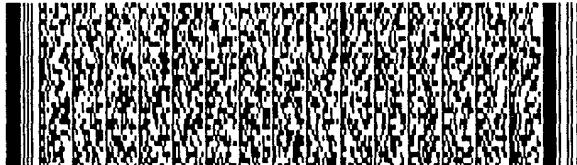
第 6/26 頁



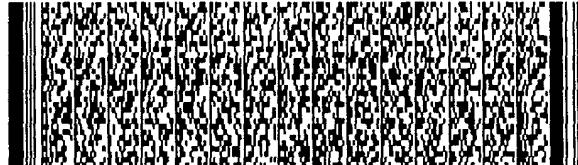
第 6/26 頁



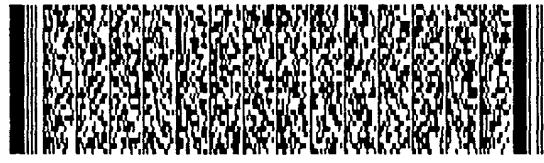
第 7/26 頁



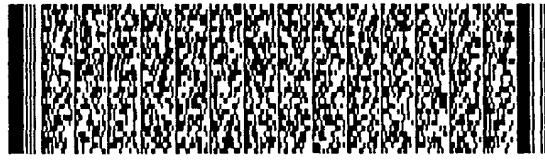
第 7/26 頁



第 8/26 頁



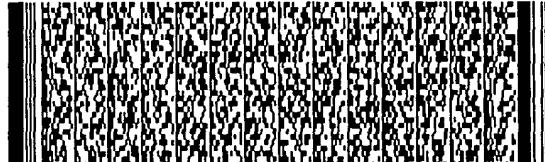
第 8/26 頁



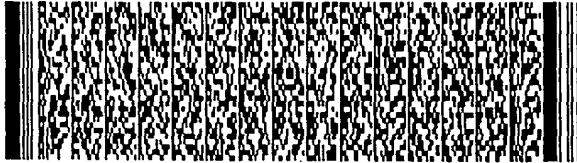
第 9/26 頁



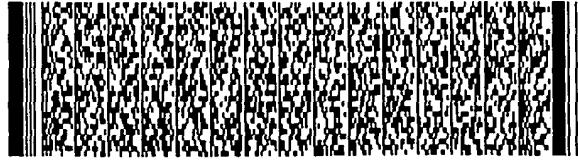
第 9/26 頁



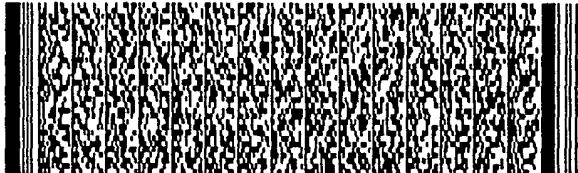
第 10/26 頁



第 10/26 頁



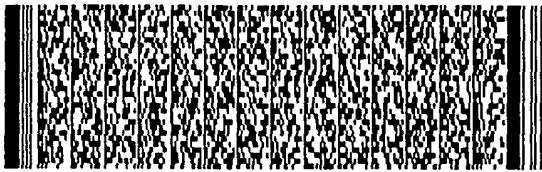
第 11/26 頁



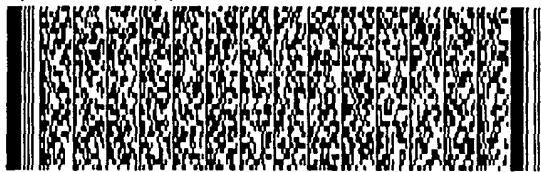
第 11/26 頁



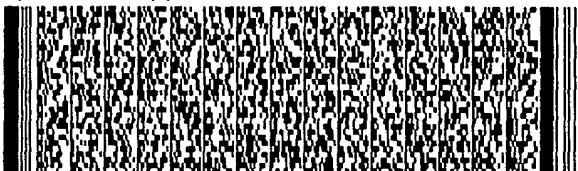
第 12/26 頁



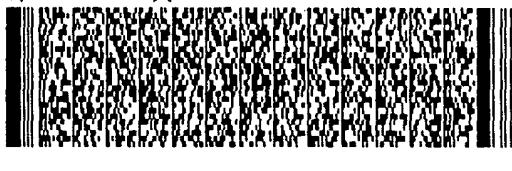
第 12/26 頁



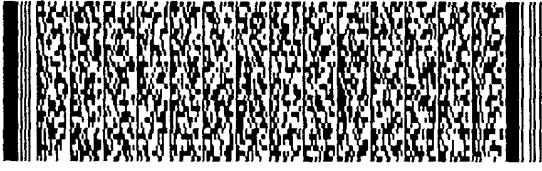
第 13/26 頁



第 14/26 頁



第 15/26 頁



第 16/26 頁



第 17/26 頁



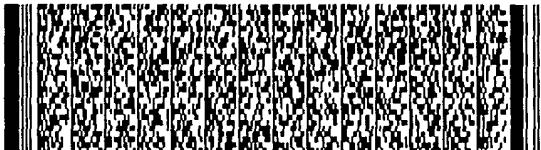
第 18/26 頁



第 18/26 頁



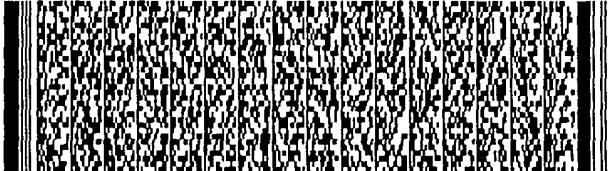
第 19/26 頁



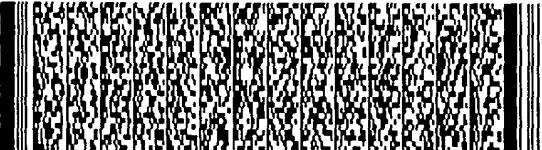
第 19/26 頁



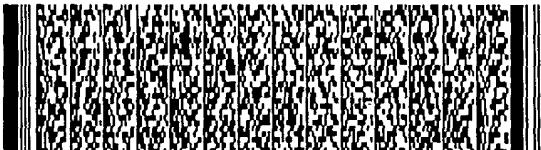
第 20/26 頁



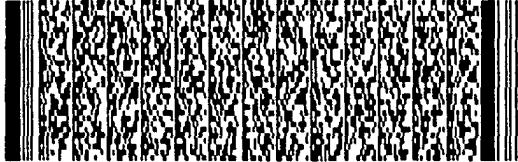
第 21/26 頁



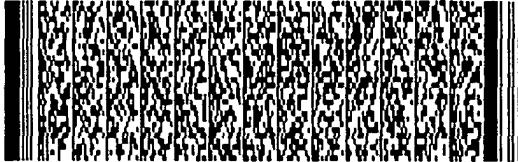
第 21/26 頁



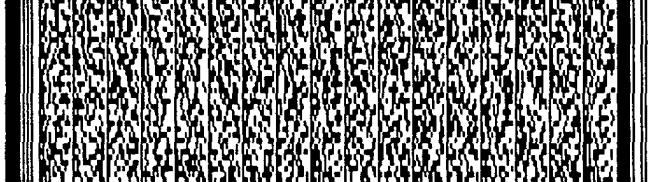
第 22/26 頁



第 22/26 頁



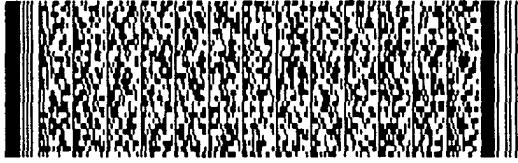
第 23/26 頁



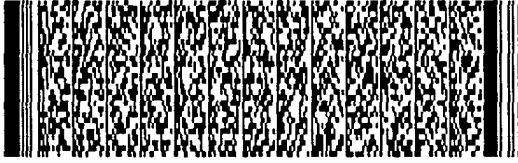
第 24/26 頁



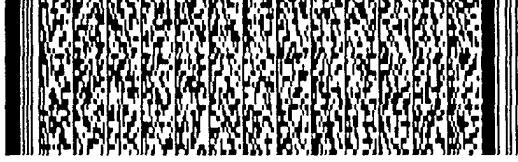
第 24/26 頁



第 25/26 頁



第 25/26 頁



第 26/26 頁

